

کد کنترل

531

F



531F

آزمون (نیمه متمرکز) ورود به دوره های دکتری - سال ۱۴۰۲

دفترچه شماره (۱)

صبح پنجشنبه

۱۴۰۱/۱۲/۱۱



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

«اگر دانشگاه اصلاح شود مملکت اصلاح می شود.»
امام خمینی (ره)

مهندسی کامپیوتر - معماری (کد ۲۳۵۵)

زمان پاسخ گویی: ۱۳۵ دقیقه

تعداد سؤال: ۴۵

عنوان مواد امتحانی، تعداد و شماره سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی: - مدار منطقی و معماری کامپیوتر - معماری کامپیوتر پیشرفته - VLSI پیشرفته	۴۵	۱	۴۵

این آزمون نمره منفی دارد.

استفاده از ماشین حساب مجاز نیست.

حق چاپ، تکثیر و انتشار سؤالات به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می باشد و با متخلفین برابر مقررات رفتار می شود.

* داوطلب گرامی، عدم درج مشخصات و امضا در مندرجات جدول زیر، به منزله عدم حضور شما در جلسه آزمون است.

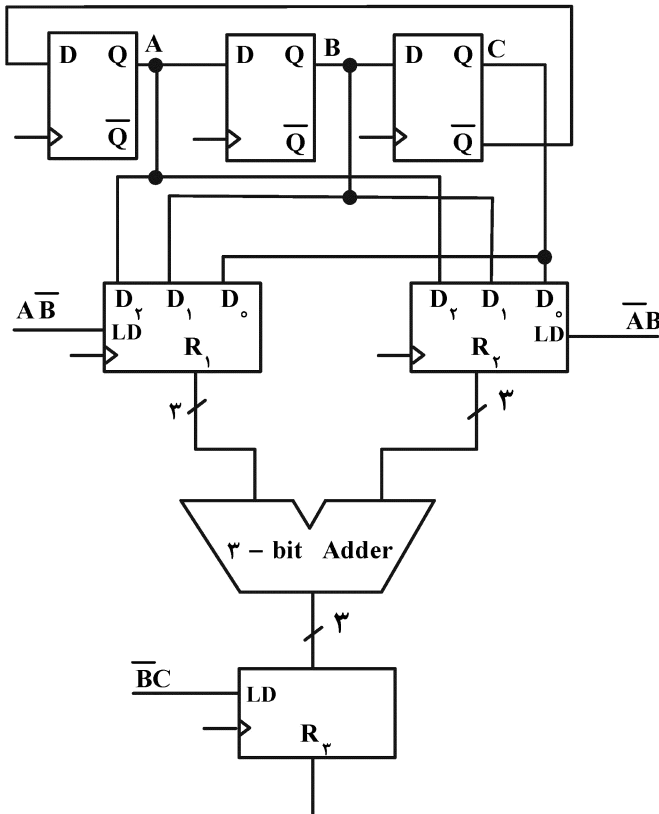
اینجانب با شماره داوطلبی با آگاهی کامل، یکسان بودن شماره صندلی خود با شماره داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخنامه و دفترچه سؤالات، نوع و کد کنترل درج شده بر روی جلد دفترچه سؤالات و پایین پاسخنامه ام را تأیید می‌نمایم.

امضا:

مجموعه دروس تخصصی (مدار منطقی و معماری کامپیوتر - معماری کامپیوتر پیشرفته - VLSI پیشرفته):

۱- با فرض اینکه مقدار ABC درست قبل از کلاک اول برابر با 000 باشد، در چندمین کلاک حاصل جمع‌کننده در ثبات $R3$ قرار می‌گیرد و این مقدار کدام است؟ (توجه شود که ثبات‌ها ۳ بیتی هستند و LD پایه لود ثبات است.)

- (۱) مقدار ۷ در کلاک ۶ ام
- (۲) مقدار ۶ در کلاک ۶ ام
- (۳) مقدار ۷ در کلاک ۷ ام
- (۴) مقدار ۶ در کلاک ۷ ام



۲- کد Verilog/VHDL زیر را در نظر بگیرید. با توجه به مقادیر ورودی‌ها که به صورت شکل موج داده شده است، خروجی Q کدام است؟

Verilog

```

module ParReg (D, ld, clr, clk, Q);
  input D, ld, clr, clk;  output Q;
  wire [7:0] D;          wire ld, clr, clk;
  reg [7:0] Q;
  always @(posedge clk or negedge clr)
    if (!clr) begin
      Q = 0;
    end else begin
      if (ld) begin
        Q = D;
      end
    end
  end
end module

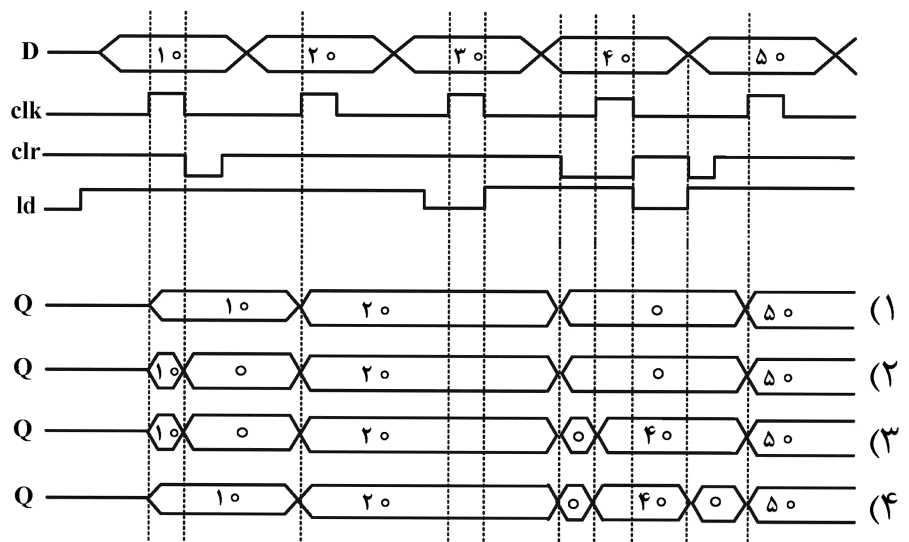
```

VHDL

```

entity ParReg is
  port (D : in bit_vector; clk, ld : in bit; Q : out bit_vector);
end entity ParReg;
architecture RTL of ParReg is
begin
  L : Process (clk, clr)
  begin
    if (clr = '0') then
      Q <= (others => '0');
    elsif (clk'event and clk = '1') then
      if (ld = '1') then
        Q <= D;
      end if;
    end if;
  end process;
end architecture RTL;

```



۳- برای توابع A و B داده شده، عبارت ساده شده تابع $F = A \oplus B$ کدام است؟

$A(a, b, c, d) = abc' + c'd + a'cd' + b'cd'$

$B(a, b, c, d) = (a + b + c' + d')(b' + c' + d)(a' + c + d')$

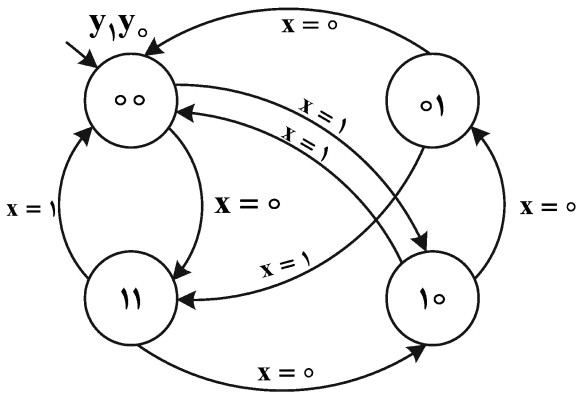
(۱) $F = b'c' + a'cd + ad + a'c'd'$

(۲) $F = ac' + a'b'c + ac + b'c'd'$

(۳) $F = ab'c' + bc + abd + ac'd'$

(۴) $F = ab'c' + a'bc + ad + a'c'd'$

۴- اگر برای دیاگرام حالت زیر از فلیپ‌فلاپ‌های D استفاده شود، ورودی‌های فلیپ‌فلاپ به چه صورت خواهد بود؟



(۱) $D_1 = \bar{y}_0\bar{x} + \bar{y}_1x$

$D_0 = \bar{y}_1\bar{y}_0\bar{x} + y_1y_0\bar{x} + \bar{y}_1y_0x$

(۲) $D_1 = \bar{y}_1$

$D_0 = \bar{y}_1\bar{x} + \bar{y}_1y_0$

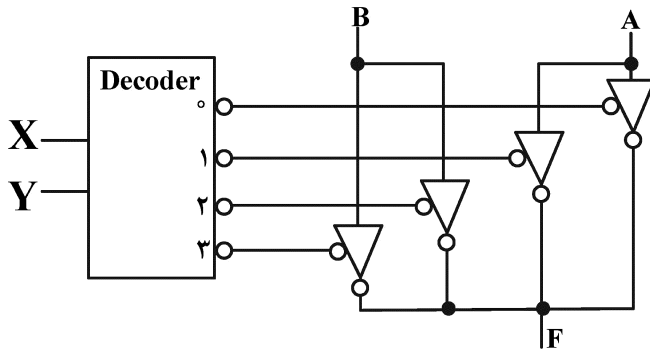
(۳) $D_1 = \bar{y}_1x + \bar{y}_1\bar{y}_0 + y_1y_0\bar{x}$

$D_0 = \bar{y}_0\bar{x} + \bar{y}_1y_0x$

(۴) $D_1 = \bar{y}_1$

$D_0 = \bar{y}_0\bar{x} + \bar{y}_1y_0x$

۵- تابع خروجی مدار زیر کدام است؟ (X ورودی با ارزش‌تر و Y ورودی کم ارزش‌تر است.)



(۱) $F = AX' + BX$

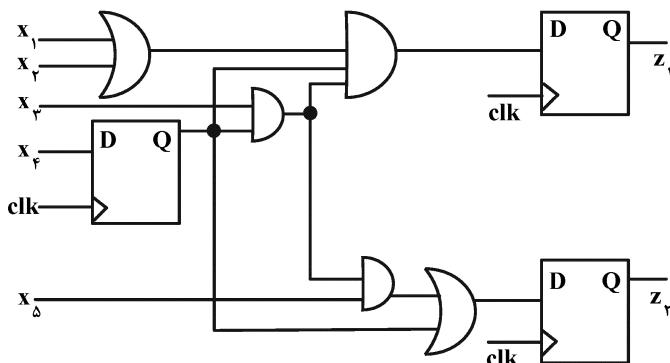
(۲) $F = A'X' + B'X$

(۳) $F = A'Y + B'Y$

(۴) $F = A'Y' + B'Y$

۶- با توجه به زمان‌های داده شده، دوره تناوب کلاک در مدار زیر حداقل چند نانوثانیه باشد، تا مدار درست کار کند؟ (فرض کنید که همه ورودی‌های اصلی به‌طور همزمان و به اندازه کافی قبل از لبه اعمال می‌شوند.)

$(T_h = 1\text{ ns} , T_{\text{clk-Q}} = 3\text{ ns} , T_{\text{setup}} = 2\text{ ns} , T_{\text{gate}(2\text{-input})} = 5\text{ ns} , T_{\text{gate}(3\text{-input})} = 7\text{ ns})$



(۱) ۱۷

(۲) ۱۸

(۳) ۲۰

(۴) ۲۱

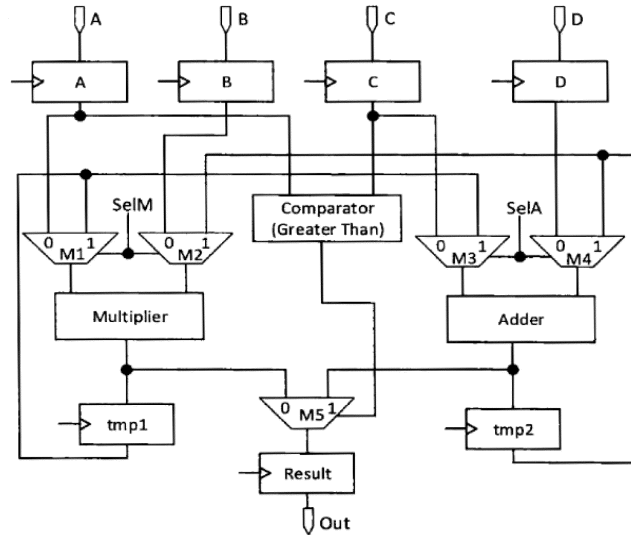
۷- مسیر داده شکل زیر قادر به اجرای الگوریتم داده شده نیست. کمترین تغییرات مورد نیاز جهت تصحیح این مسیر داده کدام گزینه است؟ (توجه شود که محتوای ثبات‌های A, B, C و D فقط برای یک سیکل معتبر است.)

if (A > C) then

Out = A × B + C + D;

else

Out = (C + D) × B × A;



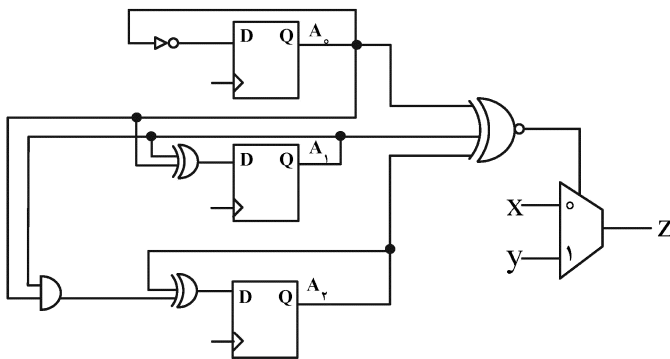
(۱) ضرب‌کننده و جمع‌کننده باید جابه‌جا شوند.

(۲) ورودی‌های مالتی‌پلکسر M5 می‌بایست به خروجی ثبات‌های tmp1 و tmp2 متصل شوند.

(۳) مالتی‌پلکسرهای M1 الی M4 می‌بایست به تمامی ثبات‌های ورودی A, B, C و D متصل شوند.

(۴) خروجی مقایسه‌کننده (Comparator) می‌بایست به یک ثبات متصل شود که خروجی آن ثبات به Select مالتی‌پلکسر M5 متصل شود.

۸- در مدار زیر چه زمانی خروجی Z برابر X می‌شود؟ (مقدار اولیه ۵ = A(A_۲A_۱A_۰) در نظر گرفته شود.)



(۱) بعد از چهار سیکل کلاک

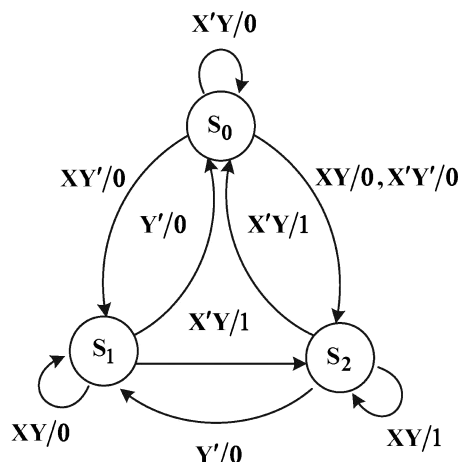
(۲) بعد از سه سیکل کلاک

(۳) بعد از دو سیکل کلاک

(۴) بعد از یک سیکل کلاک

۹- می‌خواهیم برای پیاده‌سازی ماشین حالت زیر، از حداقل تعداد فلیپ‌فلاپ نوع D استفاده کنیم. در صورتی که ورودی‌های فلیپ‌فلاپ‌ها بدون ساده‌سازی و با استفاده از یک ROM آماده شوند، ظرفیت این حافظه حداقل باید

چند بیت باشد؟ (X و Y ورودی هستند.)



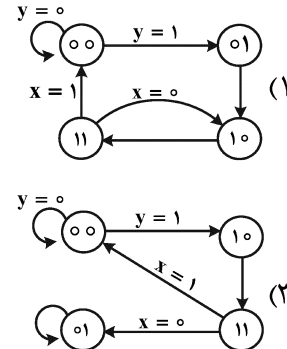
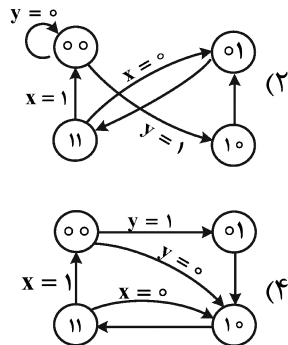
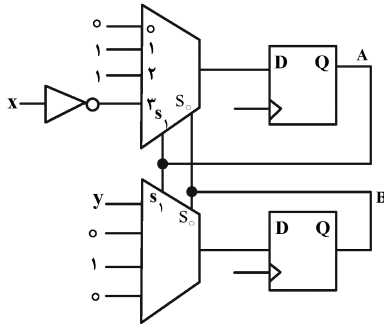
(۱) ۶۴

(۲) ۳۲

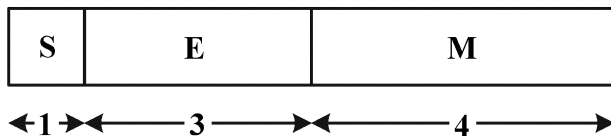
(۳) ۱۶

(۴) ۸

۱۰- کدام نمودار حالت، مدار زیر را توصیف می‌کند؟ S_1 بیت پر ارزش و S_0 بیت کم ارزش مالتی پلکسر است. ترتیب متغیرهای حالت: (AB)



۱۱- قالب 8 بیتی اعداد ممیز شناور زیر را در نظر بگیرید. تعداد بیت‌های هر بخش در شکل مشخص شده است. در صورتی که در این نمایش از Implicit One Representation و Biased-4 استفاده شود، معادل مبنای ده برای عدد F1 چند است؟ (عدد در مبنای شانزده است.)

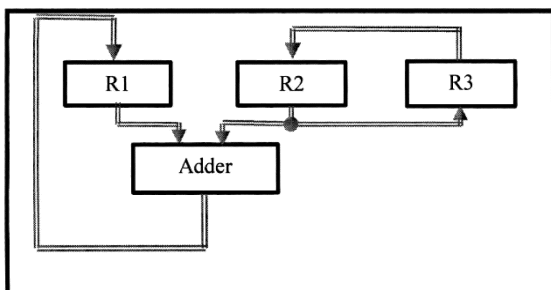


- (۱) $-0/5$
- (۲) -1
- (۳) $-7/5$
- (۴) $-8/5$

۱۲- یک برنامه حاوی 3 نوع دستور A، B و C است که به ترتیب ۱۰٪، ۳۰٪ و ۶۰٪ از زمان اجرا را به خود اختصاص داده‌اند. با اعمال تغییری در معماری پردازنده اجراکننده این برنامه، دستورهای نوع C، ۶ برابر سریع‌تر می‌شوند. اما این تغییر باعث افزایش زمان اجرای دستورهای نوع A و B به ترتیب به اندازه 3 برابر و 2 برابر می‌شود. کارآیی معماری جدید نسبت به حالت اولیه در اجرای این برنامه چگونه است؟

- (۱) تغییری نمی‌کند.
- (۲) ۱۱٪ کاهش می‌یابد.
- (۳) ۱۱٪ افزایش می‌یابد.
- (۴) ۲۰٪ افزایش می‌یابد.

۱۳- حداقل تعداد پالس‌های ساعت برای انجام عمل جمع: $R1 \leftarrow R2 + R3$ در شکل زیر چند تاست؟ (فرض کنید مقدار اولیه ثابت R1، صفر است.)



- (۱) 1
- (۲) 2
- (۳) 3
- (۴) 4

۱۴- یک کامپیوتر دارای دستورات و حافظه‌ای با کلمات 16 بیتی، 16 ثبات و 54 دستورالعمل است. هر دستورالعمل از یک بخش Opcode و دو میدان (Field) آدرس تشکیل شده است: یکی برای ثبات و یکی برای حافظه. می‌توان از حافظه در هر ثبات و یا بالعکس از ثبات در خانه‌ای از حافظه نوشت. امکان جابه‌جایی مستقیم داده بین خانه‌های حافظه وجود ندارد. تعداد بیت‌های مورد نیاز برای میادین مختلف دستورات کدام است؟

(Opcode, MemAddr, RegAddr)

(۱) (7, 6, 4)

(۲) (6, 22, 4)

(۳) (6, 6, 4)

(۴) (5, 16, 6)

۱۵- یک حافظه نهان (Cache) دارای نگاشت شرکت‌پذیر مجموعه‌ای چهار راهه (4-Way Set associative mapping) و ظرفیت 2 MB و حافظه اصلی دارای ظرفیت 2 GB است. بلوک‌های حافظه هر کدام 16 بایتی هستند. میادین مختلف آدرس: (Tag, Set, Word offset) چند بیتی هستند؟

(۱) (12, 15, 4)

(۲) (13, 15, 4)

(۳) (11, 16, 4)

(۴) (10, 17, 4)

۱۶- این برنامه معادل اجرای کدام دستور است و A نشانگر چیست؟

1: $A \leftarrow A - 1$

2: $M[A] \leftarrow PC$

3: $PC \leftarrow X$

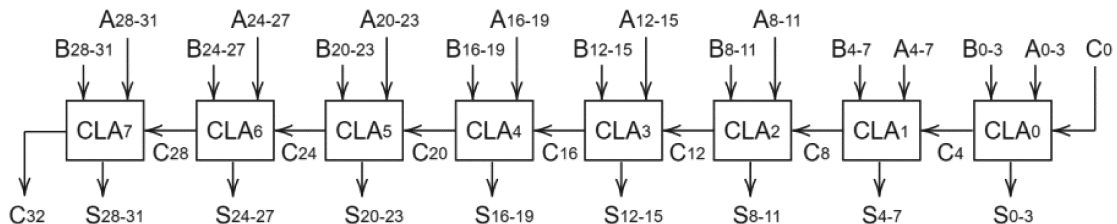
(۱) A: Interrupt vector, INT X

(۲) A: Stack pointer, Call X

(۳) A: Current PC, BRA X

(۴) A: Stack pointer, RET X

۱۷- شکل زیر یک جمع‌کننده 32 بیتی مبتنی بر جمع‌کننده‌های با پیش‌بینی رقم نقلی (4CLA بیتی) را نشان می‌دهد:



با فرض اینکه هر گیت AND، OR و NOT یک Δ تأخیر دارد، محاسبه C_{32} و S_{31} چقدر طول می‌کشد؟ (فرض کنید گیت XOR از ترکیب گیت‌های قبلی درست شده است.)

(۱) $t_{C_{32}} = 20\Delta, t_{S_{31}} = 23\Delta$

(۲) $t_{C_{32}} = 19\Delta, t_{S_{31}} = 21\Delta$

(۳) $t_{C_{32}} = 18\Delta, t_{S_{31}} = 20\Delta$

(۴) $t_{C_{32}} = 17\Delta, t_{S_{31}} = 20\Delta$

۱۸- برای اجرای کامل دستورالعمل SUBA X (X خانه‌ای از حافظه و معماری مبتنی بر انباشتگر AC است). کدام خطوط کنترلی زیر باید به ترتیب از چپ به راست فعال شود؟

- a: Decode (IR)
- b: $MAR \leftarrow IR(Addr)$
- c: $AC \leftarrow MBR$
- d: $MAR \leftarrow PC$
- e: $IR \leftarrow MBR$
- f: $MBR \leftarrow AC$
- g: $MBR \leftarrow M[MAR]$
- h: $AC \leftarrow AC + MBR$
- i: $PC \leftarrow PC + 4$
- j: $M[MAR] \leftarrow MBR$
- k: $AC \leftarrow AC - MBR$

- (۱) d, g, e, a, b, g, k, i
- (۲) a, d, g, e, b, g, i, k
- (۳) d, g, e, a, b, k, g, i
- (۴) e, b, c, g, e, a, h, i

۱۹- مشخص کنید تبدیل عدد دودویی (Binary) 1100111100 به کد بوت و ضرب آن در 1010101010 مستلزم چه عملیاتی به جز جابه‌جایی (Shift) است؟

- (۱) چهار تفریق و دو جمع
- (۲) یک تفریق و دو جمع
- (۳) دو تفریق و یک جمع
- (۴) پنج تفریق و پنج جمع

۲۰- فراخوانی یک زیربرنامه (Call subroutine) با پرش به روال وقفه چه شباهت یا تفاوتی دارد؟

- (۱) هر دو کاری مشابه می‌کنند ولی تفاوت در این است که وقفه، می‌تواند «پوشانده» (Masked) شود ولی Call در هر حال اجرا می‌گردد.
- (۲) CALL به آدرس پیش‌فرض پرش می‌کند ولی در حالت وقفه، پردازنده به محلی که از شماره وقفه یا جدول وقفه به دست می‌آید پرش می‌کند.

(۳) هر دو مقدار PC را در پشت‌ذخیره می‌کنند ولی CALL به آدرس مشخص شده در دستور پرش می‌کند ولی در حالت وقفه، پردازنده به یک آدرس پیش‌فرض پرش می‌کند.

(۴) هر دو مقدار PC را در پشت‌ذخیره می‌کنند ولی CALL به آدرس مشخص شده در دستور پرش می‌کند ولی در حالت وقفه، پردازنده به محلی که از شماره وقفه یا جدول وقفه به دست می‌آید پرش می‌کند.

۲۱- در یک فوق مکعب (Hypercube) 5 بُعدی، شماره گره‌های همسایه گره 7، کدام است؟

- (۱) گره‌های 1، 9، 11، 23 و 31
- (۲) گره‌های 3، 5، 6، 15 و 23
- (۳) گره‌های 15، 23، 31، 39 و 47
- (۴) گره‌های 11، 15، 19، 23 و 27

۲۲- طبق برآوردها، مشخص شده است که 80% یک برنامه قابلیت موازی سازی دارد. اگر از چهار هسته استفاده کنیم به چه تسریعی می‌رسیم؟ اگر بی‌نهایت پردازنده داشته باشیم، حداکثر تسریع چقدر خواهد بود؟

(۱) 2.5 و 5

(۲) 2.5 و 4

(۳) 1.17 و 4

(۴) 1.17 و 5

۲۳- این زمان‌های دسترسی به سیستم حافظه در حالت برخورد و فقدان (یا همان Hit و Miss) داده در حافظه نهان (Cache) در زیر آمده است:

حالت Hit: $T_{ReadH} = 1 \text{ ns}$ ، $T_{WriteH} = 2 \text{ ns}$

حالت Miss: $T_{ReadM} = 5 \text{ ns}$ ، $T_{WriteM} = 10 \text{ ns}$

کلاً 200 عمل واکنشی (Fetch) دستور از حافظه، 120 خواندن داده از حافظه و 80 نوشتن داده در حافظه داریم. نرخ برخورد در حافظه نهان برابر 0.95 است. زمان متوسط دسترسی به سیستم حافظه چند نانوثانیه است؟

(۱) 3.6

(۲) 2.44

(۳) 1.44

(۴) 1.14

۲۴- یک حافظه نهان با نگاشت مستقیم داریم که دارای 256 بلوک است. اندازه هر بلوک 16 بایت است. آدرس 8010 (دهدهی) حافظه اصلی در کدام بلوک حافظه نهان می‌تواند قرار گیرد؟

(۱) 245

(۲) 244

(۳) 65

(۴) 64

۲۵- حداکثر دستوراتی که می‌توانند خارج از ترتیب (Out of order) و با هم اجرا شوند کدام حالت است؟ (توجه کنید که در صورت نیاز می‌توانید از تکنیک تغییر نام (Renaming) استفاده کنید. در ضمن، جهت انتقال در دستورات از راست به چپ است.)

I1: Add R1, R4, R6

I2: Sub R3, R1, R6

I3: Xor R6, R2, R3

I4: Sub R5, R5, 1

I5: Add R4, R5, R6

I6: Add R3, R7, R8

(۱) I1, I3, I4, I6

(۲) I2, I3, I4, I6

(۳) I1, I3, I4, I5

(۴) I1, I2, I4, I6

۲۶- جدول رزرواسیون یا مراحل زمانی فعالیت بندهای مختلف (S1 تا S5) یک پایپلاین در زیر آمده است. مشخص کنید به ترتیب حداکثر سرعت عملی و نظری قابل حصول این پایپلاین برحسب تعداد Initiation/Clock (یا همان Operation/clock) چقدر است.

	1	2	3	4	5	6	7
S1	x			x		x	
S2		x					
S3			x				
S4					x		
S5							x

$$\frac{1}{2} \text{ و } \frac{3}{7} \quad (۱)$$

$$\frac{1}{2} \text{ و } \frac{2}{7} \quad (۲)$$

$$\frac{1}{3} \text{ و } \frac{3}{7} \quad (۳)$$

$$\frac{1}{3} \text{ و } \frac{2}{7} \quad (۴)$$

۲۷- پردازنده A با فرکانس 1 GHz و $IPC (Instruction Per Clock) = 10$ و پردازنده B با فرکانس 1.2 GHz و $IPC = 2$ کار می کند. MIPS پردازنده های A و B به ترتیب کدام است و کدام گزاره درست است؟

MIPS_A = 10000 MIPS (۱)
کارایی پردازنده A از B بیشتر است.

MIPS_B = 2400 MIPS

MIPS_A = 100 MIPS (۲)
کارایی پردازنده A از B بیشتر است.

MIPS_B = 240 MIPS

MIPS_A = 10000 MIPS (۳)
چیزی در مورد برتری یک پردازنده بر دیگری نمی توان گفت.

MIPS_B = 2400 MIPS

MIPS_A = 100 MIPS (۴)
چیزی در مورد برتری یک پردازنده بر دیگری نمی توان گفت.

MIPS_B = 240 MIPS

۲۸- در پروتکل همسان سازی داده ها از نوع چهار حالتی (MESI (Modified; Exclusive; Shared; Invalid) اگر کنترلر حافظه نهان پردازنده A متوجه شود که پردازنده B قصد نوشتن داده ای را دارد که نزد A در حالت M است، چه اتفاقاتی رقم می خورد؟

(۱) پردازنده A داده خود را به پردازنده B می دهد و هر دو بلوک داده خود را به حالت S می برند.

(۲) پردازنده A داده خود را به پردازنده B می دهد و در وضعیت قبلی می ماند. پردازنده A بلوک تحویل گرفته شده را به حالت M می برد و داده را مقداردهی می کند.

(۳) پردازنده A داده خود را در حافظه اصلی نوشته، بلوک آنرا به حالت S می برد. پردازنده B بلوک مزبور را از حافظه اصلی خوانده، سپس مقدار می دهد و به وضعیت M می برد.

(۴) پردازنده A داده خود را در حافظه اصلی نوشته، بلوک آنرا به حالت I می برد. پردازنده B بلوک مزبور را از حافظه اصلی خوانده، سپس مقدار می دهد و به وضعیت M می برد.

۲۹- اگر فرکانس کاری یک پایپلاین 10 ns، تعداد طبقات آن 5 و جریمه پیش بینی غلط انشعاب 4 کلاک باشد، زمان اجرای یک برنامه حاوی 1 میلیارد دستورالعمل که 4% آنها انشعاب هایی باشد که درست و 1% انشعاب هایی باشد که غلط پیش بینی شده باشد، با اندکی تقریب چند ثانیه خواهد بود؟

$$0.99 \quad (۱)$$

$$1 \quad (۲)$$

$$1.25 \quad (۳)$$

$$1.39 \quad (۴)$$

۳۰- هزار کار (Task) داریم که می‌خواهیم روی دو پردازنده انجام دهیم. زمان مفید هر کار برابر 1 ns است ولی به خاطر نیاز به داده‌های دیگر و ارتباط با سایر کارها، تأخیر هر انتقال اطلاعات بین دو پردازنده 10 ns (و صفر داخل هر پردازنده) را باید در نظر بگیریم. تعداد ارتباطات بین دو پردازنده برابر با کمینه تعداد کاری است که روی پردازنده‌ها گذاشته‌ایم. ارتباطات به صورت غیرهمپوشان (Non overlapped) با محاسبات انجام می‌شود.

نسبت زمان کل اجرا در حالت تقسیم مساوی کار بین دو پردازنده (یعنی نصف نصف) به زمان کل اجرا در حالت توزیع 100 کار برای یک پردازنده و 900 کار برای دیگری برابر کدام است؟

(۱) 3.1

(۲) 2.9

(۳) 2.5

(۴) 1.8

۳۱- کدام یک از موارد زیر درباره اثر افزایش درجه شرکت‌پذیری حافظه نهان (Higher Associativity Cache) بدون تغییر اندازه Cache و اندازه بلوک‌ها درست است؟

(۱) اثری بر روی نرخ Miss ندارد.

(۲) باعث کاهش نرخ Conflict Miss می‌شود.

(۳) باعث افزایش نرخ Capacity Miss می‌شود.

(۴) باعث کاهش نرخ Compulsory Miss (Miss اجباری) می‌شود.

۳۲- در یک پردازنده پایلین بدون در نظر گرفتن تأخیرهای ناشی از اجرای دستورات پرشی، میانگین پالس ساعت اجرای دستور (CPI) برابر 1 است. اگر 30% از دستورات یک برنامه، دستورات پرش شرطی باشد و اجرای هر دستور پرش شرطی نیاز به 3 پالس ساعت اضافه داشته باشد، میانگین پالس اجرای دستور چند خواهد بود؟

(۱) 1.6

(۲) 1.8

(۳) 1.9

(۴) 2.0

۳۳- اجرای پایلین پنج‌مرحله‌ای دستورات شامل واکنشی دستور (IF)، رمزگشایی و به‌دست آوردن عملوندها (ID)، اجرا (EX)، مراجعه به حافظه داده (DM) و ذخیره نتیجه در ثبات‌ها (WB) است. با فرض اینکه امکان استفاده از تکنیک Forwarding و جابجایی دستور به کمک کامپایلر برای رفع وابستگی (Hazard) وجود داشته باشد و هر مرحله در یک پالس ساعت انجام شود، برای اجرای دستورات زیر چند پالس مورد نیاز است؟ (انتقال ثبات‌ها از راست به چپ)

LD R1, 20 (R2)

LD R2, 20 (R3)

ADD R1, R1, R2

ST 10 (R6), R1

SUB R3, R5, R4

ثبات‌ها از راست به چپ)

(۱) 8

(۲) 9

(۳) 10

(۴) 11

۳۴- در یک حافظه نهان که به صورت 4-way set associative پیاده‌سازی شده است، به چند مدار مقایسه‌گر برای جستجوی داده در هر سطر نیاز است؟

(۱) 1

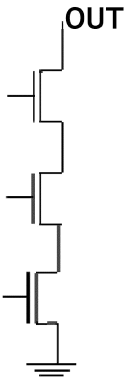
(۲) 2

(۳) 3

(۴) 4

- ۳۵- کدام جمله در خصوص عمل نوشتن در حافظه نهان نادرست است؟
- (۱) در روش Write back مشکل درست یا نادرست بودن محتوای بلوک (Clean/Dirty) وجود ندارد.
 - (۲) در روش Write through عمل نوشتن هم در حافظ نهان و هم در حافظه اصلی انجام می‌شود.
 - (۳) در روش Write through مشکل Read Miss بعد از عمل نوشتن اتفاق نمی‌افتد.
 - (۴) در روش Write back مشکل نوشتن‌های تکراری در حافظه اصلی اتفاق نمی‌افتد.
- ۳۶- در طرح یک مدار حافظه RAM، تعداد سلول‌های تک بیتی در ردیف‌ها و ستون‌ها برابر است. در صورتی که تعداد کلمات حافظه 2^{13} و تعداد بیت‌های هر کلمه ۳۲ بیت باشد، تعداد خطوط آدرس Column decoder کدام است؟
- (۱) ۴
 - (۲) ۵
 - (۳) ۸
 - (۴) ۹
- ۳۷- در طراحی یک جمع‌کننده ۶۴ بیتی به روش carry-select-adder، از واحدهای جمع‌کننده ۱ بیتی با تأخیر ۱ ns و واحدهای مالتی پلکسر با تأخیر ۱ ns استفاده شده است. در صورتی که دسته‌بندی واحدهای جمع‌کننده به صورت یکسان و برای تأخیر حداقل انجام شده باشد، میزان تأخیر مدار چند نانوثانیه است؟
- (۱) ۱۴
 - (۲) ۱۵
 - (۳) ۱۶
 - (۴) ۶۴
- ۳۸- کدام یک از عبارات زیر نادرست است؟
- (۱) در فرایندهای ساخت جدید مدارهای مجتمع، تأخیر سیم‌ها بر تأخیر گیت‌ها غلبه دارد.
 - (۲) کاهش ولتاژ آستانه باعث کاهش تأخیر ترانزیستور می‌شود و در مسیرهای غیربحرانی بهتر است از ترانزیستورهایی با ولتاژ آستانه پایین استفاده نمود.
 - (۳) جایگزین کردن SiO_2 بین لایه‌های فلز با ماده دیگری با ضریب گذردهی پایین و جایگزین کردن اکسید گیت با ماده‌ای با ضریب گذردهی بالا و ضخامت بیشتر می‌تواند به ترتیب در بهبود تأخیر و توان موثر باشد.
 - (۴) گزینه‌های (۲) و (۳)
- ۳۹- کدام یک از گزینه‌های زیر درست است؟
- (۱) با کاهش مقدار ولتاژ منبع تغذیه، توان و تأخیر بهبود می‌یابند.
 - (۲) پدیده قفل‌شدگی با افزایش تعداد اتصالات well یا substrate به منبع تغذیه، کاهش می‌یابد.
 - (۳) لایه‌های پایین‌تر فلز برای ارتباطات سراسری استفاده می‌شوند و لایه‌های پایین‌تر برای اتصالات محلی.
 - (۴) یکی از محاسن جایگزین کردن گیت پلی‌سیلیکونی با گیت از جنس فلز در تکنولوژی‌های جدید افزایش کنترل بر روی ولتاژ آستانه است.

۴۰- ساختار ترانزیستوری زیر را در نظر بگیرید. فرض کنید یکی از سیگنال‌های کنترل کننده ترانزیستورهای nMOS سریع‌تر از سیگنال‌های دیگر یک شود. در مورد اعمال سیگنال‌ها چه می‌توان گفت؟



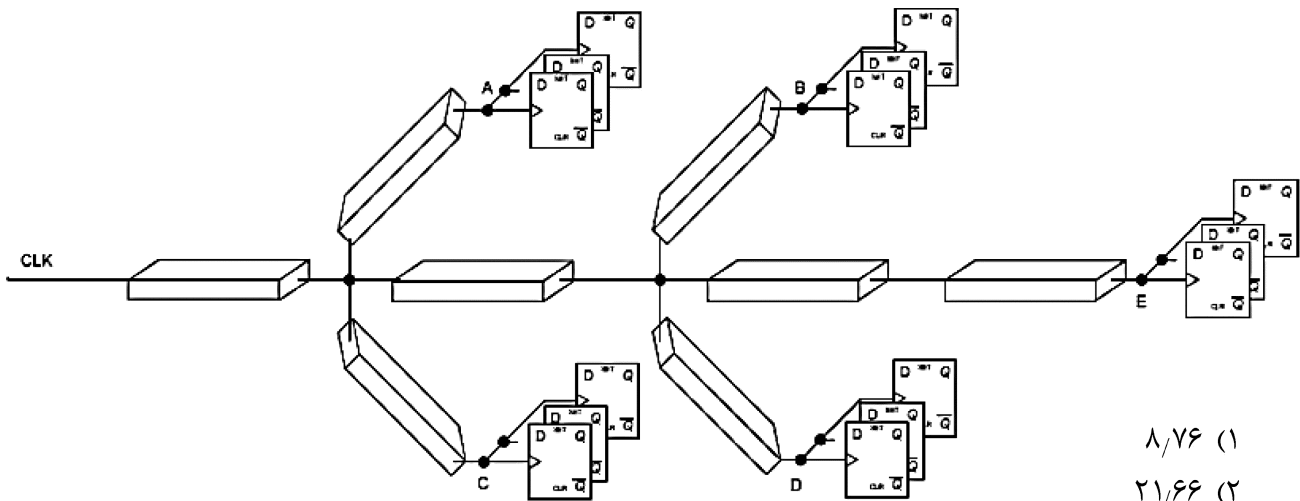
(۱) تفاوتی نمی‌کند که کدام سیگنال به کدام ترانزیستور اعمال شود.

(۲) بهتر است سیگنالی که سریع‌تر یک می‌شود به ترانزیستور میانی اعمال گردد تا سریع‌تر تغییر حالت دهد.

(۳) بهتر است سیگنالی که سریع‌تر یک می‌شود به ترانزیستور متصل به خروجی اعمال گردد تا اشتراک بار کاهش یابد.

(۴) بهتر است سیگنالی که سریع‌تر یک می‌شود به ترانزیستور متصل به منبع تغذیه اعمال گردد تا اثر بدنه کاهش یابد.

۴۱- شکل زیر یک شبکه توزیع کلاک را بر روی یک تراشه دیجیتال نشان می‌دهد. هر قطعه سیم (که با باکس نمایش داده شده است) دارای ۰/۱ میلی‌متر طول، با مقاومت ۱۰ اهم و خازن ۱۰ فمتوفاراد است. انتهای شبکه توزیع کلاک به ثبات‌های ۳۲ بیتی متصل شده است که بار ۳۰۰ فمتوفاراد را سبب می‌شود. زمان صعود و نزول کلاک را صفر فرض کنید. بیشینه انحراف کلاک (Clock Skew) بین هر کدام از بلوک‌های ثابتی چند پیکوثانیه خواهد بود؟ (از مدل RC ساده و تأخیر المور استفاده کنید).



(۱) ۸/۷۶

(۲) ۲۱/۶۶

(۳) ۲۱/۸

(۴) ۳۱/۵۹

۴۲- کدام یک از عبارات زیر درست است؟

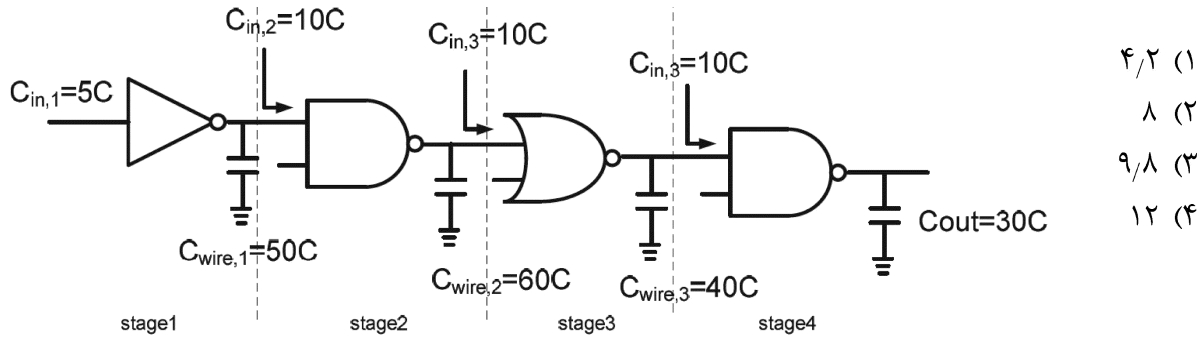
(۱) سیم‌های سراسری مانند کلاک، با Scaling سریع‌تر می‌شوند.

(۲) کاهش ولتاژ منبع تغذیه طبق قانون مور بوده است.

(۳) چگالی جریان با Scaling افزایش می‌یابد.

(۴) توان پویا با Scaling افزایش می‌یابد.

۴۳- مدار شکل زیر را در نظر بگیرید. $C_{in,i}$ خازن گیت ورودی و $C_{write,i}$ خازن سیم را نشان می‌دهد. تلاش منطقی stage ۳ برابر کدام گزینه است؟

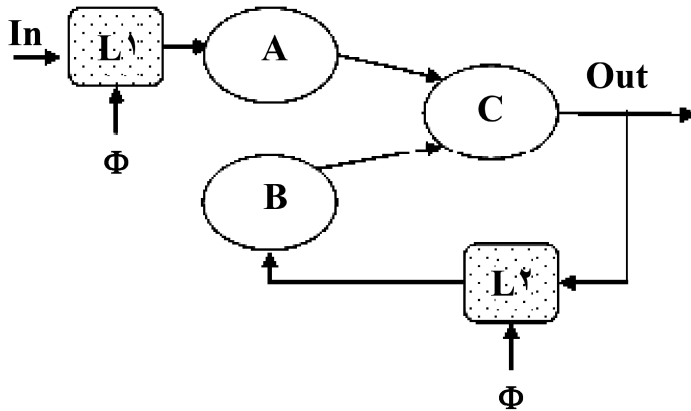


- (۱) ۴/۲
- (۲) ۸
- (۳) ۹/۸
- (۴) ۱۲

۴۴- ماشین حالت شکل را با مشخصات زیر در نظر بگیرید. A, B و C بلوک‌های مدار ترکیبی با ویژگی‌های زیر هستند:

$t_{logic,minA} = 200 \text{ ps}$, $t_{logic,maxA} = 1 \text{ ns}$
 $t_{logic,minB} = 300 \text{ ps}$, $t_{logic,maxB} = 2 \text{ ns}$
 $t_{logic,minC} = 100 \text{ ps}$, $t_{logic,maxC} = 0.5 \text{ ns}$

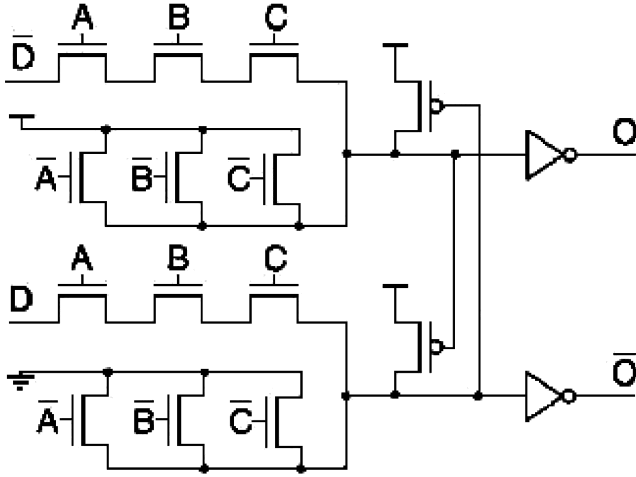
L۱ و L۲ لچ‌هایی هستند که با سطح یک و با کلاک Φ کار می‌کنند. این لچ‌ها دارای زمان Setup ۱۵۰ پیکوثانیه و تأخیر ورودی به خروجی، (t_{d-q}) ۲۰۰ پیکوثانیه هستند. تأخیر کلاک به خروجی (t_{clk-q}) برابر ۸۰ پیکوثانیه و زمان Hold ۱۰۰ پیکوثانیه است. T_{on} مدت زمانی است که کلاک ۱ است و T_{clk} مبین پریود کلاک است. چه محدودیتی باید بر روی T_{on} وجود داشته باشد؟



- (۱) $T_{on} < 280 \text{ ps}$
- (۲) $T_{on} > 400 \text{ ps}$
- (۳) $T_{on} < 480 \text{ ps}$
- (۴) $T_{on} > 630 \text{ ps}$

۴۵- شکل زیر را در نظر بگیرید. همه ترانزیستورهای NMOS را هم اندازه در نظر بگیرید و فرض کنید که مقاومت یک ترانزیستور NMOS با اندازه کمینه برابر R و خازن پارازیت آن برابر $C_{gs} = C_{gd} = C$ باشد. فرض کنید همه ترانزیستورهای NMOS دارای اندازه S باشند. تأخیر مسیر بحرانی بر حسب S, C, R و C_L کدام است؟

($\ln 2 = 1$) در نظر بگیرید.



$$9RC + \frac{3RC_L}{S} \quad (1)$$

$$6RC + \frac{2RC_L}{S} \quad (2)$$

$$6RC + \frac{3RC_L}{S} \quad (3)$$

$$4RC + \frac{RC_L}{S} \quad (4)$$

